



IFW

501.43664X00

UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): S. KONISHI, et al.

Serial No.: 10/809,450

Filed: March 26, 2004

Title: A SEMICONDUCTOR DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 23, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

**Japanese Patent Application No. 2003-084738
Filed: March 26, 2003**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No.: 28,141

GEM/rr
Attachment

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月26日
Date of Application:

出願番号 特願2003-084738
Application Number:
[ST. 10/C]: [JP 2003-084738]

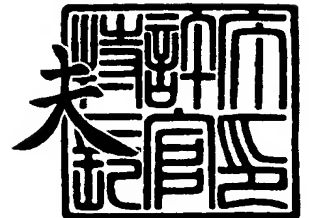
出願人 株式会社ルネサステクノロジ
Applicant(s):



2004年 5月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3042785

【書類名】 特許願

【整理番号】 H03000481

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/04

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 小西 聡

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 遠藤 恒雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 中嶋 浩一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 それぞれ素子が半導体基板上に形成された第 1 の半導体チップと第 2 の半導体チップを有する半導体装置であって、

主面およびその反対側の裏面を有した配線基板と、

前記配線基板の主面に実装された前記第 2 の半導体チップと、

前記第 2 の半導体チップ上に重ねて配置された前記第 1 の半導体チップと、

前記第 1 の半導体チップの前記第 2 の半導体チップと対向する面に配置された固定電位の電極とを有し、

前記固定電位の電極は、前記第 1 の半導体チップの半導体基板と前記配線基板とにそれぞれ電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、前記第 2 の半導体チップは前記配線基板にフリップ接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置であって、前記第 2 の半導体チップの前記第 1 の半導体チップと対向する面に前記固定電位の電極が配置されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、前記固定電位の電極と前記配線基板とが導電性のワイヤによって接続されていることを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置であって、前記第 2 の半導体チップは、前記配線基板の主面に平行な方向に、前記第 1 の半導体チップより迫り出した突出部を有しており、前記第 2 の半導体チップの前記突出部に前記固定電位の電極が配置され、前記突出部の固定電位の電極と前記配線基板とが前記導電性のワイヤによって接続されていることを特徴とする半導体装置。

【請求項 6】 請求項 3 記載の半導体装置であって、前記固定電位の電極の表面に金めっき膜が形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 4 記載の半導体装置であって、前記導電性のワイヤは金線であることを特徴とする半導体装置。

【請求項 8】 請求項 1 記載の半導体装置であって、前記半導体装置は、入力信号を 3 段階で増幅する増幅回路を有しており、前記 3 段階のうち初段と 2 段めの増幅回路は前記第 1 の半導体チップに組み込まれ、3 段めの増幅回路は前記第 2 の半導体チップに組み込まれていることを特徴とする半導体装置。

【請求項 9】 請求項 1 記載の半導体装置であって、前記第 1 と第 2 の半導体チップのそれぞれの主面の、前記半導体基板の主面に対する投影面積の比は、0.9～1.1であることを特徴とする半導体装置。

【請求項 10】 それぞれ素子が半導体基板上に形成された第 1 の半導体チップと第 2 の半導体チップを有する半導体装置であって、
主面およびその反対側の裏面を有した配線基板と、
前記配線基板の主面にフェイスアップ実装された前記第 2 の半導体チップと、
前記第 2 の半導体チップに重ねて配置された前記第 1 の半導体チップと、
前記第 1 の半導体チップの前記第 2 の半導体チップと対向する面に配置された固定電位の電極とを有し、

前記固定電位の電極は、前記第 1 の半導体チップの半導体基板と前記配線基板とにそれぞれ電気的に接続されていることを特徴とする半導体装置。

【請求項 11】 請求項 10 記載の半導体装置であって、前記第 2 の半導体チップと前記配線基板とが導電性のワイヤによって接続されていることを特徴とする半導体装置。

【請求項 12】 請求項 10 記載の半導体装置であって、前記第 1 の半導体チップと前記第 2 の半導体チップとの間にスペーサが配置されていることを特徴とする半導体装置。

【請求項 13】 請求項 12 記載の半導体装置であって、前記スペーサの前記第 1 の半導体チップと対向する面に前記固定電位の電極が配置されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、パワーアンプモジュールなどのモジュ-

ルの小型化に適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の小型化を図った構造として、半導体チップを重ね合わせて配置する S C P (Stacked Chips Package) 構造が知られており、前記 S C P では、下層チップ上にこれより小さな上層チップが重ねられ、これによって 2 段にチップが構成されて小型化を図っている (例えば、特許文献 1 参照)。

【 0 0 0 3 】

【特許文献 1】

特開平 7 - 5 8 2 8 0 号公報 (第 3 頁、図 2)

【 0 0 0 4 】

【発明が解決しようとする課題】

携帯電話機などの通信端末機器には多くの電子部品が組み込まれており、そのうち携帯電話機の送信系に組み込まれる高周波増幅装置 (パワーアンプモジュール) も急速な小型・高機能化が進んで来ている。通信方式の 1 つとして G S M (Global System for Mobile Communications) 方式が知られている。

【 0 0 0 5 】

この G S M 方式用のパワーアンプモジュールの外形寸法は、現状では縦 1 0 m m、横 8 m m の大きさであるが、次世代のモジュールでは縦 6 m m、横 5 m m の大きさのものが主流になると想定される。

【 0 0 0 6 】

また、C D M A (Code Division Multiple Access 符号分割多元接続) 分野においても現状の縦 6 m m、横 6 m m のものが、縦 5 m m、横 5 m m、さらには縦 4 m m、横 4 m m と順次要請されるものと想定できる。

【 0 0 0 7 】

このような超小型のパワーアンプモジュールでは、配線基板構成のモジュール基板における表面の二次元的な部品実装だけでは、トランジスタなどの能動素子を組み込んだ半導体チップや、抵抗 (チップ抵抗)、コンデンサ (チップコンデンサ) などの受動素子からなるチップ部品が搭載できなくなり、三次元実装が必

要になる。

【0008】

そこで、パワーアンプモジュールの小型化を図る上で、半導体チップを重ねる構造について本発明者が検討した結果、以下のような問題点を見出した。

【0009】

パワーアンプモジュールで半導体チップを重ね合わせる構造を採用すると、下段チップの上に配置された上段チップは、そのGND（グランド）接続をチップ裏面で行うことが困難であるため、上段チップのGNDを大きな面積で確保することが難しい。したがって、パワーアンプモジュールが、例えば、3段階に入力信号を増幅する増幅回路を有している場合、上段チップには初段の増幅回路しか組み込むことができない。

【0010】

その結果、下段チップに2段めと3段めの増幅回路を組み込むことになり、上段チップと下段チップのサイズの差が大きくなって両者のサイズがアンバランスとなり、これにより、モジュール製品の小型化が十分に図れないことが問題である。

【0011】

さらに、上段チップは、そのサイズが小さくなるため、ワイヤ長さが長くなってアセンブリプロセスが難しくなることが問題である。

【0012】

本発明の目的は、小型化を図る半導体装置を提供することにある。

【0013】

本発明のその他の目的は、信頼性の向上を図る半導体装置を提供することにある。

【0014】

本発明のその他の目的は、組み立て性の向上を図る半導体装置を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添

付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0017】

すなわち、本発明は、それぞれ素子が半導体基板上に形成された第1の半導体チップと第2の半導体チップを有するものであり、主面および裏面を有した配線基板と、前記配線基板の主面に実装された前記第2の半導体チップと、前記第2の半導体チップに重ねて配置された前記第1の半導体チップと、前記第1の半導体チップの前記第2の半導体チップと対向する面に配置された固定電位の電極とを有しており、前記固定電位の電極は、前記第1の半導体チップの半導体基板と前記配線基板とにそれぞれ電氣的に接続されている。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0020】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合及び原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

【0021】

さらに、以下の実施の形態において、その構成要素（要素ステップなどを含む）は、特に明示した場合及び原理的に明らかに必須であると考えられる場合など

を除き、必ずしも必須のものではないことは言うまでもない。

【0022】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合及び原理的に明らかにそうでないと考えられる場合などを除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは前記数値及び範囲についても同様である。

【0023】

また、実施の形態を説明するための全図において同一機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0024】

(実施の形態1)

図1は本発明の実施の形態1の半導体装置の一例であるパワーアンプモジュールの構造を示す断面図、図2は図1に示すパワーアンプモジュールの構造を示す裏面図、図3は図1に示すパワーアンプモジュールの配線基板の主面側に搭載される各実装部品の配置の一例を示す平面配置図、図4は図1に示すパワーアンプモジュールに組み込まれた高周波増幅回路の構成の一例を示す回路ブロック図、図5は図1に示すパワーアンプモジュールにおける第1の半導体チップと第2の半導体チップの接合部の構造を一部破断して示す拡大部分断面図、図6は本発明の実施の形態1の変形例のパワーアンプモジュールの構造を示す断面図、図7は本発明の実施の形態1の変形例のパワーアンプモジュールの構造を示す断面図である。

【0025】

図1および図2に示す本実施の形態1の半導体装置は、パワーアンプモジュール1と呼ばれる高周波のモジュール製品であり、モジュール基板（配線基板）4の表面である主面4b上に第2の半導体チップが実装され、さらに前記第2の半導体チップ上に第1の半導体チップが重ねて搭載されたチップスタック構造のものであり、主に、携帯電話機などの小型の携帯用電子機器に組み込まれるものである。

【0026】

なお、パワーアンプモジュール 1 は、例えば、携帯電話機における高周波（例えば、約 900 MHz と約 1800 MHz）を複数の段階に亘って増幅する高周波増幅装置である。

【0027】

本実施の形態 1 のパワーアンプモジュール 1 は、外観的には四角形のモジュール基板 4 と、このモジュール基板 4 の主面 4 b 上に重ねて形成された封止部 6 と、モジュール基板 4 の裏面 4 c に設けられた複数の外部端子 4 f および GND 用外部端子 4 g とからなる。

【0028】

また、パワーアンプモジュール 1 は、その組み立てにおいて、複数のモジュール基板 4 が並んで成る多数個取り基板上に半導体チップを含む電子部品を搭載し、その後電子部品などを覆うように前記多数個取り基板の上面に一定の高さの樹脂封止層を形成し、次いで多数個取り基板をこれに重なった樹脂封止層も含めて縦横に切断分離して一度に複数のパワーアンプモジュール 1 を形成することから、モジュール基板 4 の側面と封止部 6 の側面は一致し、封止部 6 の端部は、モジュール基板 4 の端部より外側に位置していない構造になる。

【0029】

また、モジュール基板 4 は、プリント配線基板からなっており、例えば、複数の誘電体層（絶縁膜）を貼り合わせたような構造であり、主面 4 b や裏面 4 c および内部に所定の配線パターンの導体層を有するとともに、主面 4 b と裏面 4 c の導体層は基板の厚さ方向に延在する導体であるビア 4 h などを通して電氣的に接続されている。本実施の形態 1 では、特に限定はされないが、前記誘電体層は 5 層になっている。

【0030】

本実施の形態 1 のパワーアンプモジュール 1 の詳細構成について説明すると、主面 4 b およびその反対側の裏面 4 c を有した配線基板であるモジュール基板 4 と、素子が半導体基板 13 上に形成され、かつモジュール基板 4 の主面 4 b に実装された第 2 の半導体チップである下段チップ 7 と、素子が半導体基板 13 上に形成され、かつ下段チップ 7 上に重ねて配置された第 1 の半導体チップである上

段チップ 2 と、上段チップ 2 の背面 2 b に配置された固定電位の電極である共通電極 1 2 と、上段チップ 2 とモジュール基板 4 とを電氣的に接続する複数の導電性のワイヤ 5 と、図 3 に示すようにモジュール基板 4 の下段チップ 7 および上段チップ 2 の周囲に実装された受動部品である複数のチップ部品 3 と、モジュール基板 4 の主面 4 b 側で下段チップ 7、上段チップ 2、複数のワイヤ 5 および複数のチップ部品 3 を覆うように形成された封止部 6 とからなり、前記固定電位の電極である共通電極 1 2 は、上段チップ 2 が有する半導体基板 1 3 とモジュール基板 4 とにそれぞれ電氣的に接続されている。

【0031】

なお、上段チップ 2 の背面 2 b は、ワイヤ 5 が接続される主面 2 a の反対側の面であるとともに、下段チップ 7 と対向する面である。また、下段チップ 7 は、図 1 に示すようにモジュール基板 4 の凹部であるキャビティ部 4 a にフリップ接続（フリップチップ接続ともいう）で実装されており、バンプ電極 1 4 を介してモジュール基板 4 に電氣的に接続されている。

【0032】

すなわち、下段チップ 7 は、モジュール基板 4 の主面 4 b より凹んだキャビティ部 4 a に配置され、その際、下段チップ 7 の主面 7 a がモジュール基板 4 と対向するようにフェイスダウンでモジュール基板 4 に実装されており、下段チップ 7 は金バンプなどのバンプ電極 1 4 によってモジュール基板 4 に電氣的に接続されている。

【0033】

また、上段チップ 2 は、下段チップ 7 の背面 7 b 上にこれに積み重ねた状態で搭載されており、その際、主面 2 a を上方に向けたフェイスアップ状態で搭載されている。したがって、上段チップ 2 はその主面 2 a が上方を向いているため、図 3 に示すように金線などのワイヤ 5 によってモジュール基板 4 の端子 4 e に電氣的に接続されている。

【0034】

次に、本実施の形態 1 のパワーアンプモジュール 1 における図 4 に示す高周波増幅装置の回路ブロックについて説明する。

【0035】

前記高周波増幅装置の増幅回路では、2つの周波数帯域をそれぞれ2つの増幅回路に分けて増幅しており、各増幅回路は3段階に亘って増幅され、各段の増幅回路は、上段チップ2に組み込まれたBias Circuitである制御IC (Integrated Circuit) 2hによって制御される。本実施の形態1のパワーアンプモジュール1では、前記3段階のうち初段の増幅回路と2段めの増幅回路が上段チップ2に組み込まれており、さらに終段(3段め)の増幅回路が下段チップ7に組み込まれている。

【0036】

ここで、パワーアンプモジュール1が有する2種類の周波数帯域について説明すると、一方は、GSM (Global System for Mobile Communication) 方式のものであり、周波数帯域として880～915MHzを使用している。また、他方は、DCS (Digital Communication System 1800) 方式のものであり、周波数帯域として1710～1785MHzを使用しており、パワーアンプモジュール1は、この両方の方式に対応したモジュールである。

【0037】

そこで、図4に示すように、高周波増幅回路を点線で囲ったような2種類の回路ブロック2e、7eに分割し、パワーアンプモジュール1では、回路ブロック2eに上段チップ2を採用し、回路ブロック7eに下段チップ7を採用して回路を分割している。

【0038】

すなわち、本実施の形態1のパワーアンプモジュール1では、比較的消費電力の小さい初段と2段めの増幅回路を回路ブロック2eとして上段チップ2に組み込み、消費電力の大きな終段(3段め)の増幅回路を回路ブロック7eとして下段チップ7に組み込んでいる。

【0039】

なお、回路ブロック2e、回路ブロック7eにそれぞれ対応して、GSM側のGSM側初段アンプ2cとGSM側2段めアンプ2f、およびDCS側のDCS側初段アンプ2dとDCS側2段めアンプ2gが上段チップ2に組み込まれ、一

方、GSM側終段（3段め）アンプ7cとDCS側終段（3段め）アンプ7dが下段チップ7に組み込まれている。

【0040】

また、上段チップ2に組み込まれた制御IC2hは、制御信号Vcontrolを受けて、GSM側初段アンプ2c、GSM側2段めアンプ2fおよびGSM側終段アンプ7cのそれぞれのパワーを制御するとともに、DCS側についてもそれぞれのアンプのパワーを制御する。本実施の形態1のパワーアンプモジュール1では、アンプ素子としてMOSFET（Metal Oxide Semiconductor Field Effect Transistor）が用いられ、この場合には、上段チップ2は、各MOSFETのゲートに印加されるバイアスを制御することによって、出力であるPout（GSM）、Pout（DCS）のパワーを制御する。

【0041】

また、パワーアンプモジュール1では、図5に示すように、上段チップ2と下段チップ7のそれぞれの背面2b、7bに固定電位の電極である共通電極12が設けられている。すなわち、下段チップ7の上段チップ2と対向する面である背面7bと、上段チップ2の下段チップ7と対向する面である背面2bとにそれぞれ面全体に亘る大きな面積の共通電極12が設けられている。その際、下段チップ7の背面7b上にフェイスアップ実装で上段チップ2が積み重ねられているため、両チップの背面同士が対向した状態となり、この状態で下段チップ7の背面7bの共通電極12と上段チップ2の背面2bの共通電極12とがAgペースト8などの導電ペーストで電氣的に接続されている。

【0042】

したがって、上段チップ2と下段チップ7の間に大きな面積の固定電位の電極として共通電極12を配置することができ、この大きな面積の共通電極12をGND電極とすることにより、上段チップ2と下段チップ7の間に大きな面積のGND電極を配置することができる。

【0043】

さらに、図1および図5に示すように、下段チップ7は上段チップ2より迫り出した突出部7fを有しており、この下段チップ7の突出部7f上にも共通電極

12が配置され、突出部7f上に配置された共通電極12と、図3に示すモジュール基板4のGND用端子4dとが導電性のワイヤ5である金線によってGND接続されている。

【0044】

なお、共通電極12は、図5に示すように、下段チップ7の突出部7f上において金線によるワイヤ5が接続されるため、その表面にはAu（金）めっき膜9が形成されていることが好ましい。例えば、共通電極12は、下地めっきとしてTi（チタン）めっき膜11、中間めっきとしてNi（ニッケル）めっき膜10、表面めっきとしてAuめっき膜9がそれぞれ形成され、3層のめっき膜の構造で形成されている。

【0045】

また、下段チップ7のGNDは、所定のGND用のバンプ電極14からモジュール基板4のGND用のビア4hを介して裏面4cのGND用外部端子4gに接続されて、その強化が図られている。すなわち、下段チップ7のGNDと、上段チップ2の共通電極12のGNDとは共有化されてはいない。ただし、下段チップ7のGNDが所定のバンプ電極14を介したGNDのみで不十分な場合は、下段チップ7の主面7a側のバンプ電極14を介したGNDと、背面7b側の共通電極12を用いたGNDとの両者を使用する構造としてもよい。

【0046】

本実施の形態1のパワーアンプモジュール1では、前記したようなチップスタック構造を採用することにより、上段チップ2のGNDをその背面2bに配置された共通電極12とこれに接続するワイヤ5とでモジュール基板4に接続して強化することができるため、上段チップ2に初段と2段めの増幅回路、すなわちGSM側初段アンプ2cとGSM側2段めアンプ2fおよびDCS側初段アンプ2dとDCS側2段めアンプ2gを組み込むことが可能になる。

【0047】

これにより、下段チップ7には、アンプ素子（増幅回路）としてはGSM側終段（3段め）アンプ7cとDCS側終段（3段め）アンプ7dを組み込むだけとなるため、上段チップ2を従来のチップより大きくするとともに、下段チップ7

を従来のチップより小さくすることができ、両チップの大きさの差を従来より少なくすることができる。

【0048】

なお、下段チップ7の上段チップ2より迫り出した突出部7fは、ワイヤ5を接続することが可能なだけの面積を有していればよく、上段チップ2と下段チップ7の大きさの差はなるべく少ない方が好ましく、それぞれの主面7a, 2aの投影面積の比が、0.9~1.1であることが好ましい。

【0049】

これにより、本実施の形態1のパワーアンプモジュール1では、上段チップ2と下段チップ7の大きさをほぼ同じにすることができ、その結果、パワーアンプモジュール1の面積を小さくしてパワーアンプモジュール1の小型化を図ることができる。

【0050】

さらに、上段チップ2を従来より大きくすることができるため、上段チップ2用のワイヤ5の長さを短くすることができ、その結果、パワーアンプモジュール1の組み立て性の向上を図ることができる。

【0051】

また、上段チップ2と下段チップ7の間に大きな面積のGND電極である共通電極12が配置されているため、両チップ間の電磁シールドの効果を向上させることができ、初段／2段めアンプと終段（3段め）アンプとの干渉を防止することができる。

【0052】

すなわち、制御回路、初段および2段めの増幅回路と、3段めの増幅回路との間の電磁シールドを強化することができ、所定外の周波数帯域での発振などの不具合の発生を阻止することができる。

【0053】

その結果、パワーアンプモジュール1の信頼性の向上を図ることができる。

【0054】

さらに、上段チップ2のGNDが共通電極12によって強化されて安定してい

るため、上段チップ2に2段めの増幅回路が組み込まれていても上段チップ2のGNDが不安定になることはなく、前記同様、パワーアンプモジュール1の信頼性を向上させることができる。

【0055】

なお、モジュール基板4の主面4b上において半導体チップの周囲に実装された受動部品である複数のチップ部品3は、チップ抵抗やチップコンデンサなどであり、それぞれの両端の接続端子3aがモジュール基板4の端子4eに半田などで接続されている。

【0056】

次に、本実施の形態1の変形例のパワーアンプモジュール1について説明すると、図6に示す変形例のパワーアンプモジュール1は、複数のチップ部品3をコンポーネント化して形成されたチップであるIPD (Integrated Passive Device) チップ15がモジュール基板4に搭載されたものである。すなわち、抵抗素子、容量素子およびインダクタンス素子などの複数の素子を1つのチップ内に組み込んだIPDチップ15をモジュール基板4に搭載することにより、モジュール基板4に搭載するチップ部品3の数を減らしてパワーアンプモジュール1の小型化をさらに図ることが可能になる。

【0057】

なお、IPDチップ15は、抵抗素子、容量素子およびインダクタンス素子などが組み込まれるため、例えば、ガラス基板を採用し、このガラス基板上に各素子を形成したものである。

【0058】

また、図7に示す変形例のパワーアンプモジュール1は、モジュール基板4に図1に示すような凹部であるキャビティ部4aを設けずに、主面4bが平坦なモジュール基板4を用いたものであり、モジュール基板4の平坦な主面4bに下段チップ7をフリップ接続し、さらにこの下段チップ7上に上段チップ2をフェイスアップ実装で積み上げたチップスタック構造のパワーアンプモジュール1である。

【0059】

図7に示すパワーアンプモジュール1では、モジュール基板4の形状を容易にすることができるため、モジュール基板4のコストを低減することができ、パワーアンプモジュール1の低コスト化を図ることができる。

【0060】

(実施の形態2)

図8は本発明の実施の形態2の半導体装置の一例であるパワーアンプモジュールの構造を示す断面図、図9は図8に示すパワーアンプモジュールの構造を示す裏面図、図10は図8に示すパワーアンプモジュールの配線基板の主面側に搭載される各実装部品の配置の一例を示す平面配置図である。

【0061】

図8に示す本実施の形態2の半導体装置は、実施の形態1と同様に、前記半導体装置がパワーアンプモジュール16の場合であるが、実施の形態1のパワーアンプモジュール1と異なる点は、下段チップ(第2の半導体チップ)7がモジュール基板4にフェイスアップ実装され、さらに、その上にフェイスアップ実装で積み重ねられた上段チップ(第1の半導体チップ)2が配置されるとともに、下段チップ7と上段チップ2の間にスペーサ17が配置されていることである。

【0062】

すなわち、モジュール基板4上にフェイスアップ実装で半田接続された下段チップ7上に、スペーサ17を介して上段チップ2がフェイスアップ実装で積み重ねられており、さらに下段チップ7および上段チップ2ともフェイスアップ実装されているため、両チップともモジュール基板4と金線などの導電性のワイヤ5で接続されている。

【0063】

また、上段チップ2の背面2bには、実施の形態1のパワーアンプモジュール1と同様に、固定電位の電極である共通電極12が形成されているとともに、スペーサ17の上段チップ2と対向する主面17aにも共通電極12が形成され、両方の共通電極12が実施の形態1と同様にAgペースト8(図5参照)などで接続されている。

【0064】

したがって、上段チップ2の半導体基板13（図5参照）は、共通電極12と電氣的に接続されている。

【0065】

なお、本実施の形態2の共通電極12は、図5に示す実施の形態1の共通電極12と同じものであり、大きな面積のGND電極として使用される。さらに、スペーサ17の上段チップ2から迫り出した突出部17b上の共通電極12にワイヤ5が接続され、図10に示すように、このワイヤ5がモジュール基板4のGND用端子4dと接続されている。

【0066】

したがって、上段チップ2のGND電極として、その背面2b側に配置した大きな面積の共通電極12を採用することができ、この共通電極12に接続された複数のワイヤ5により共通電極12とモジュール基板4とが電氣的に接続されている。

【0067】

これにより、実施の形態1のパワーアンプモジュール1と同様に、上段チップ2のGNDを強化することができる。

【0068】

さらに、実施の形態1と同様に、上段チップ2と下段チップ7の間に大きな面積のGND電極である共通電極12を配置することが可能になる。

【0069】

なお、本実施の形態2のパワーアンプモジュール16では、下段チップ7は、モジュール基板4上にフェイスアップ実装されているため、図8に示すように、下段チップ7のGNDは、その半導体基板13（図5参照）を介して背面7bを経てモジュール基板4の複数のビア4hに接続され、さらに裏面4cのGND用外部端子4gに接続され、これによって、下段チップ7のGNDの強化が図られている。

【0070】

また、下段チップ7と上段チップ2の間に配置されるスペーサ17は、例えば、シリコンなどから形成されるものであるが、シリコン以外の絶縁材からなるも

のであってもよい。このスペーサ 17 は、下段チップ 7 と上段チップ 2 の間に間隔を設けるためのものであり、下段チップ 7 と上段チップ 2 の間にスペーサ 17 を配置することにより、下段チップ 7 に接続されるワイヤ 5 とスペーサ 17 に接続されるワイヤ 5 との接触、および下段チップ 7 に接続されるワイヤ 5 と上段チップ 2 との接触を防ぐことができる。

【0071】

さらに、スペーサ 17 と下段チップ 7 との接続は、絶縁性の接着剤によって行われており、これによって、上段チップ 2 の GND と、下段チップ 7 の GND は共有化されていない。

【0072】

なお、本実施の形態 2 のパワーアンプモジュール 16 の回路構成は、図 4 に示す実施の形態 1 のパワーアンプモジュール 1 のものと同じであり、回路ブロック 2 e、回路ブロック 7 e にそれぞれ対応して、GSM 側の GSM 側初段アンプ 2 c と GSM 側 2 段めアンプ 2 f、および DCS 側の DCS 側初段アンプ 2 d と DCS 側 2 段めアンプ 2 g が上段チップ 2 に組み込まれ、一方、GSM 側終段（3 段め）アンプ 7 c と DCS 側終段（3 段め）アンプ 7 d が下段チップ 7 に組み込まれている。

【0073】

さらに、上段チップ 2 には制御 IC 2 h も組み込まれている。

【0074】

また、図 9 に示すように、パワーアンプモジュール 16 のモジュール基板 4 の裏面 4 c には、実施の形態 1 のパワーアンプモジュール 1 と同様に、複数の外部端子 4 f および GND 用外部端子 4 g が設けられている。

【0075】

本実施の形態 2 のパワーアンプモジュール 16 によれば、実施の形態 1 のパワーアンプモジュール 1 と同様の効果が得られるとともに、加えて下段チップ 7 がモジュール基板 4 にフェイスアップ実装されているため、下段チップ 7 の GND をその背面 7 b 側からモジュール基板 4 の複数のビア 4 h を介して裏面 4 c の GND 用外部端子 4 g に接続することができ、これによって、下段チップ 7 の GND

Dをさらに強化することができる。

【0076】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0077】

例えば、前記実施の形態1, 2では、半導体装置が、パワーアンプモジュールの場合を説明したが、前記半導体装置は、モジュール基板4の主面4bに複数の半導体チップが重ねて搭載される構造のモジュールであれば、パワーアンプモジュール以外の他のモジュール製品であってもよく、その際、重ねられる半導体チップの数も2段に限定されずに2段以上の複数段であってもよい。

【0078】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0079】

チップスタック型の半導体装置において下段チップをフリップ接続することにより、上段と下段のチップサイズの差を少なくすることができ、これにより、半導体装置の面積を小さくして半導体装置の小型化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1の半導体装置の一例であるパワーアンプモジュールの構造を示す断面図である。

【図2】

図1に示すパワーアンプモジュールの構造を示す裏面図である。

【図3】

図1に示すパワーアンプモジュールの配線基板の主面側に搭載される各実装部品の配置の一例を示す平面配置図である。

【図4】

図 1 に示すパワーアンプモジュールに組み込まれた高周波増幅回路の構成の一例を示す回路ブロック図である。

【図 5】

図 1 に示すパワーアンプモジュールにおける第 1 の半導体チップと第 2 の半導体チップの接合部の構造を一部破断して示す拡大部分断面図である。

【図 6】

本発明の実施の形態 1 の変形例のパワーアンプモジュールの構造を示す断面図である。

【図 7】

本発明の実施の形態 1 の変形例のパワーアンプモジュールの構造を示す断面図である。

【図 8】

本発明の実施の形態 2 の半導体装置の一例であるパワーアンプモジュールの構造を示す断面図である。

【図 9】

図 8 に示すパワーアンプモジュールの構造を示す裏面図である。

【図 1 0】

図 8 に示すパワーアンプモジュールの配線基板の主面側に搭載される各実装部品の配置の一例を示す平面配置図である。

【符号の説明】

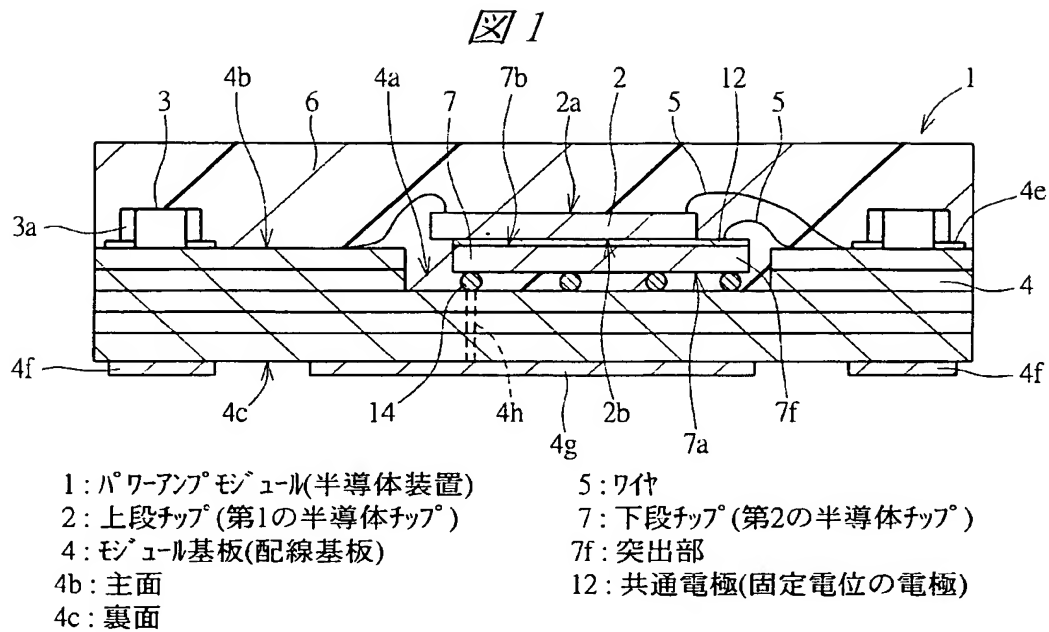
- 1 パワーアンプモジュール（半導体装置）
- 2 上段チップ（第 1 の半導体チップ）
- 2 a 主面
- 2 b 背面
- 2 c G S M 側初段アンプ（増幅回路）
- 2 d D C S 側初段アンプ（増幅回路）
- 2 e 回路ブロック
- 2 f G S M 側 2 段めアンプ（増幅回路）
- 2 g D C S 側 2 段めアンプ（増幅回路）

- 2 h 制御 I C
- 3 チップ部品
- 3 a 接続端子
- 4 モジュール基板 (配線基板)
- 4 a キャビティ部
- 4 b 主面
- 4 c 裏面
- 4 d GND用端子
- 4 e 端子
- 4 f 外部端子
- 4 g GND用外部端子
- 4 h ビア
- 5 ワイヤ
- 6 封止部
- 7 下段チップ (第 2 の半導体チップ)
- 7 a 主面
- 7 b 背面
- 7 c G S M側終段アンプ (増幅回路)
- 7 d D C S側終段アンプ (増幅回路)
- 7 e 回路ブロック
- 7 f 突出部
- 8 A g ペースト
- 9 A u めっき膜
- 10 N i めっき膜
- 11 T i めっき膜
- 12 共通電極 (固定電位の電極)
- 13 半導体基板
- 14 バンプ電極
- 15 I P Dチップ

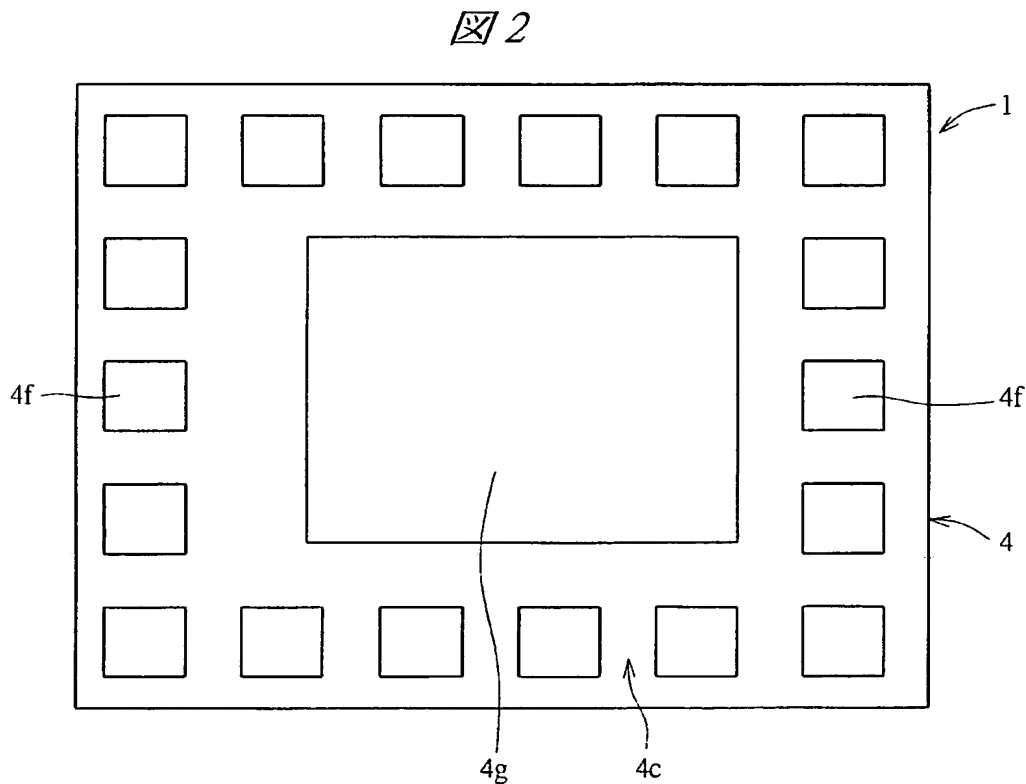
- 1 6 パワーアンプモジュール（半導体装置）
- 1 7 スペーサ
- 1 7 a 主面
- 1 7 b 突出部

【書類名】 図面

【図 1】

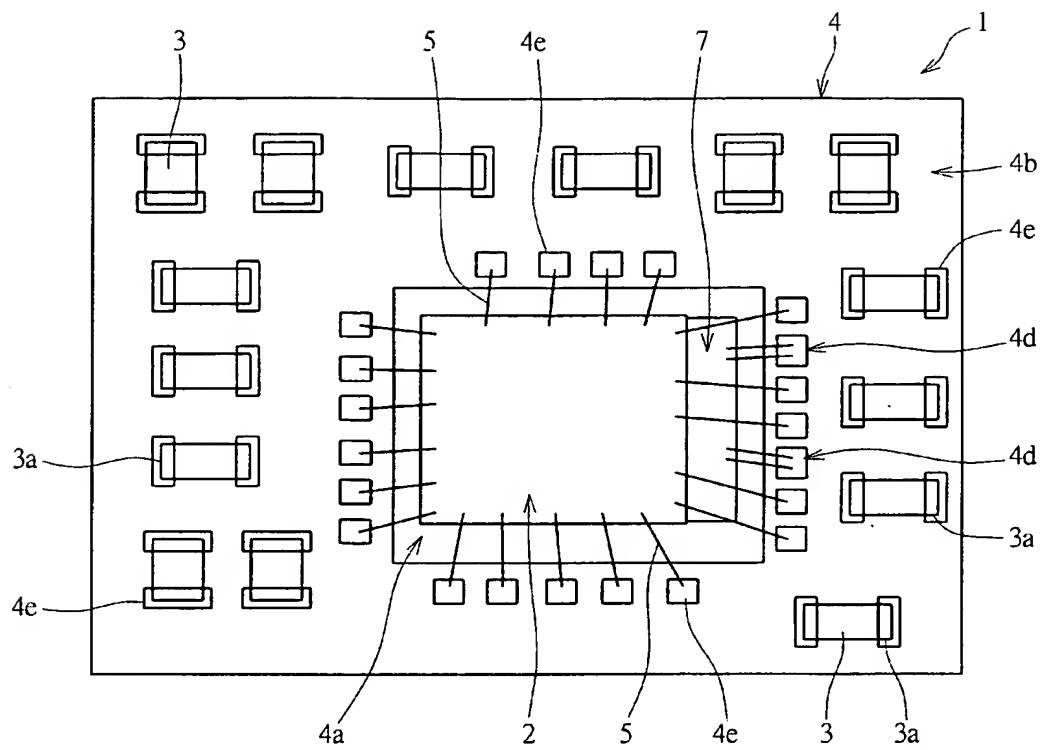


【図 2】



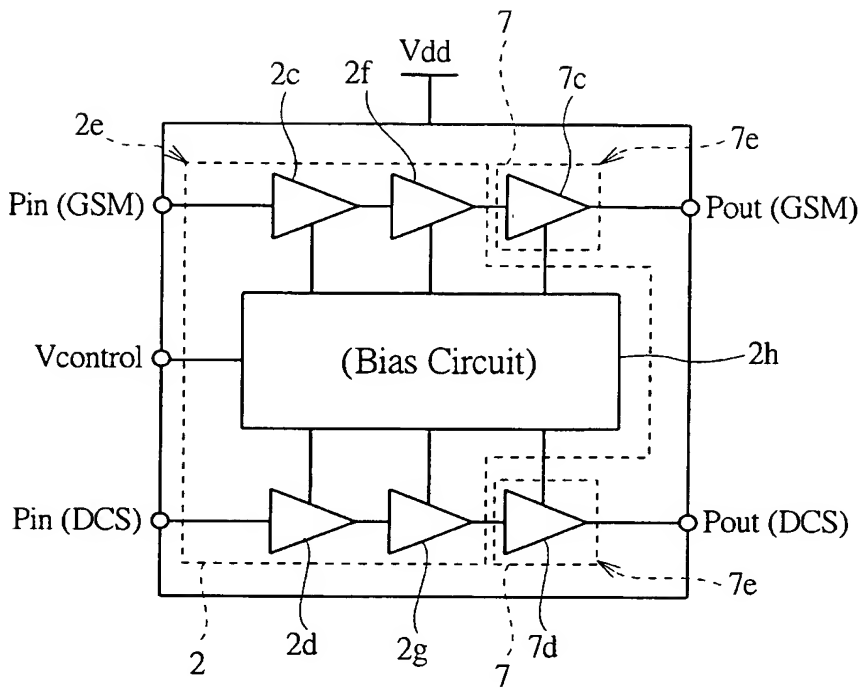
【図 3】

図 3



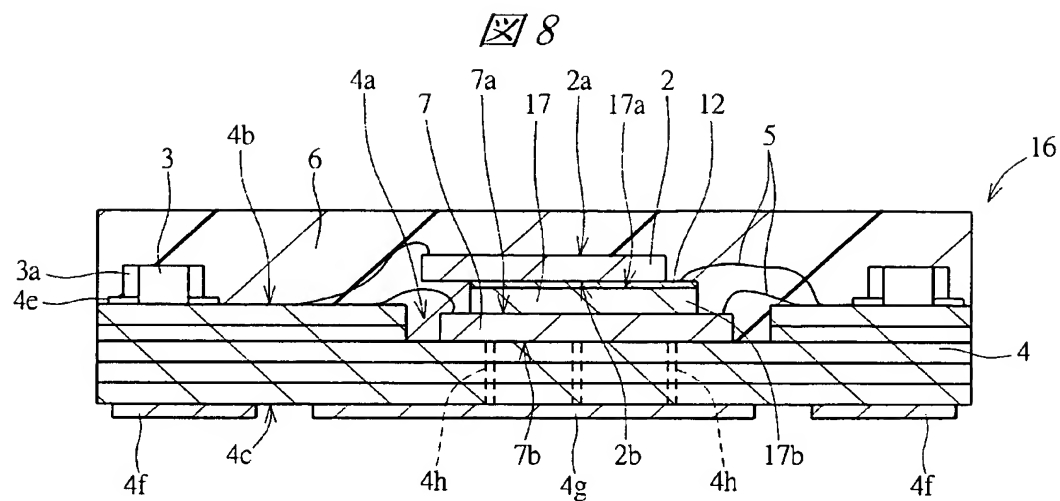
【図 4】

図 4

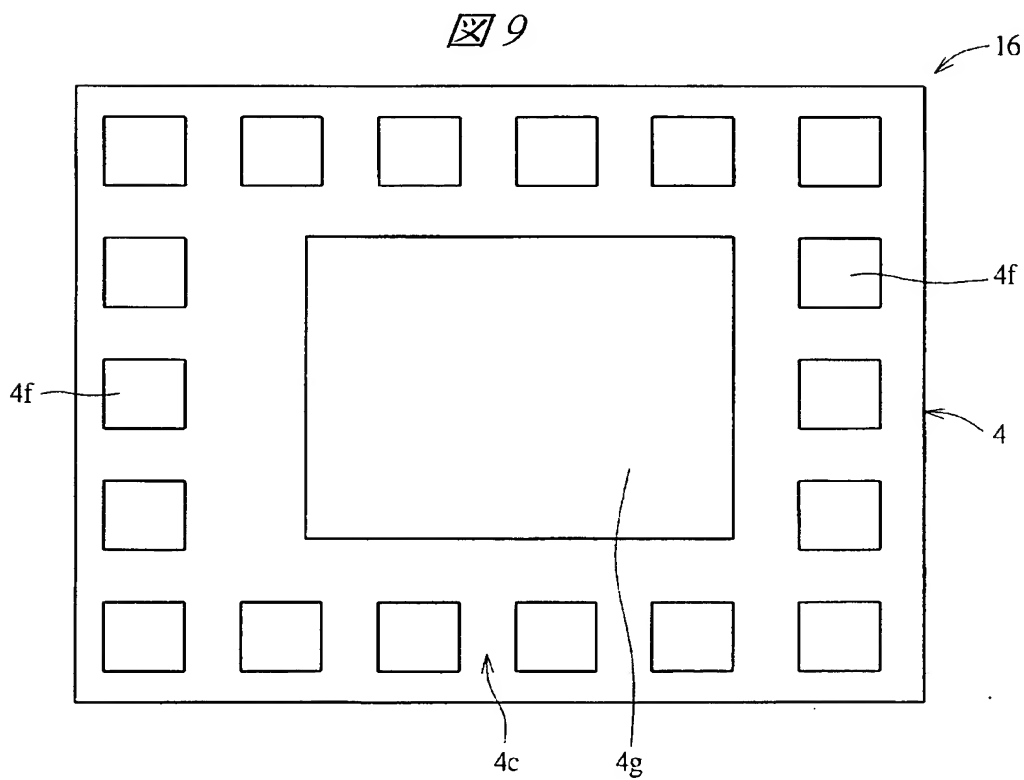


- 2c : GSM側初段アンプ(増幅回路)
 2d : DCS側初段アンプ(増幅回路)
 2f : GSM側2段めアンプ(増幅回路)
 2g : DCS側2段めアンプ(増幅回路)
 7c : GSM側終段アンプ(増幅回路)
 7d : DCS側終段アンプ(増幅回路)

【図 8】

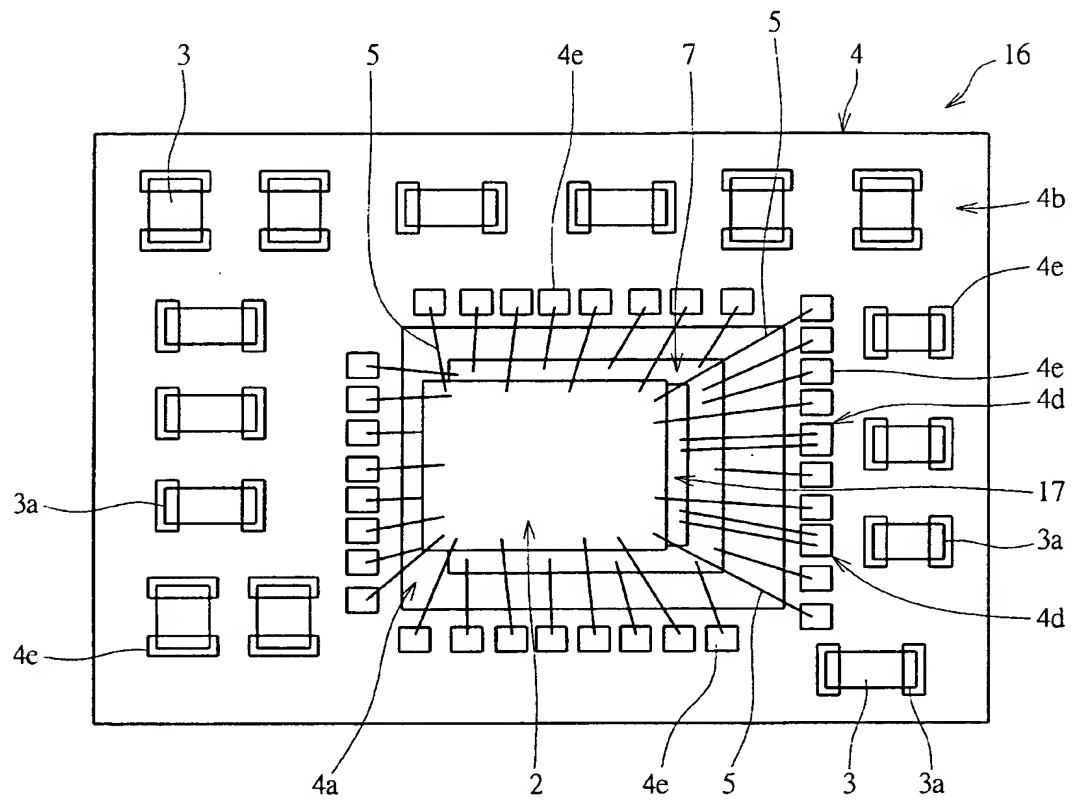


【図 9】



【図 10】

図 10



【書類名】 要約書

【要約】

【課題】 小型化を図る。

【解決手段】 主面 4 b および裏面 4 c を有したモジュール基板 4 と、モジュール基板 4 にフリップ接続された下段チップ 7 と、下段チップ 7 上にフェイスアップ実装で重ねて配置された上段チップ 2 と、上段チップ 2 の背面 2 b に配置された共通電極 1 2 と、上段チップ 2 とモジュール基板 4 とを接続する複数のワイヤ 5 と、共通電極 1 2 とモジュール基板 4 とを接続する複数のワイヤ 5 と、モジュール基板 4 に実装された複数のチップ部品 3 と、モジュール基板 4 の主面 4 b 側に形成された封止部 6 とからなり、共通電極 1 2 がワイヤ 5 によってモジュール基板 4 に接続されて上段チップ 2 の GND の強化を図るとともに、下段チップ 7 がフリップ接続であるため、上段チップ 2 と下段チップ 7 のチップサイズの差を少なくしてパワーアンプモジュール 1 の小型化を図る。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）
【整理番号】 H03000481
【提出日】 平成16年 3月 9日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003- 84738
【承継人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
【提出物件の目録】
 【包括委任状番号】 0308729
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4
月 1 1 日付け提出の会社分割による特許権移転登録申請書を援用
する。
 【物件名】 権利の承継を証明する承継証明書 1
 【援用の表示】 特願 2 0 0 3 - 8 4 2 2 0 同日付提出
の出願人名義変更届（一般承継）を援用する。

特願 2 0 0 3 - 0 8 4 7 3 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所

特願 2 0 0 3 - 0 8 4 7 3 8

出 願 人 履 歴 情 報

識別番号 [5 0 3 1 2 1 1 0 3]

1. 変更年月日	2 0 0 3 年 4 月 1 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目 4 番 1 号
氏 名	株式会社ルネサステクノロジ